

⑫公開特許公報(A)

平2-110893

⑪Int.Cl.⁵
G 11 C 11/401

識別記号

庁内整理番号

⑬公開 平成2年(1990)4月24日

8522-5B G 11 C 11/34

352 E

審査請求 有 請求項の数 4 (全20頁)

⑤発明の名称 半導体メモリ

⑪特 願 昭63-263153

⑫出 願 昭63(1988)10月19日

⑬発明者 戸田 春希 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多磨川工場内

⑭出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地 ベル

⑮代理人 弁理士 鈴江 武彦 外2名

明細書

1. 発明の名称

半導体メモリ

2. 特許請求の範囲

(1) メモリセルによって生じたピット線との電位変化を検知増幅するセンスアンプ系を有する半導体メモリにおいて、

前記メモリセルは、強誘電体をキャパシタの電極間に挟んだ構造を持つ強誘電体キャパシタの一方の電極とピット線との間に電荷伝送用トランジスタが接続されてなり、

前記メモリセルのデータによって電位変化が生じる一方のピット線と対をなす他方のピット線にリファレンス電位レベルを発生するリファレンスセルは、前記メモリセルの強誘電体キャパシタと同じ構造であってほぼ同じ面積と容量を持つ2個のリファレンス用強誘電体キャパシタを有し、この2個のリファレンス用強誘電体キャパシタの各一端が共通接続されていることを特徴とする半導体メモリ。

(2) 前記2個のリファレンス用強誘電体キャパシタのうちの一方のキャパシタは、電荷伝送用トランジスタ側の電極に対向する対向電極であるセルプレートが電源レベルの電位に固定され、他方のキャパシタは、電荷伝送用トランジスタ側の電極に対向する対向電極であるセルプレートが、2つある電源レベルのほぼ中間レベルの電位に固定されており、

前記共通接続点の電位を前記2つある電源レベル間で変化させた時に、前記2個のリファレンス用強誘電体キャパシタのうちの1つのキャパシタの強誘電体の自己分極の向きを毎回反転し得るように、すめ前記強誘電体の自己分極が設定されていることを特徴とする請求項1記載の半導体メモリ。

(3) 前記リファレンスセルの2個のリファレンス用強誘電体キャパシタの共通接続点は、2組のピット線対のうちの各一方のピット線にそれぞれ1つのトランジスタを介して接続されており、前記2組のピット線対のうちの各一方のピット

(従来の技術)

D R A M (ダイナミック型ランダムアクセスメモリ) は、従来、第16図に示すように、1つの情報保持用のキャバシタ C 1 と1つの電荷転送用のM O Sトランジスタ T 1 とが接続されてなるメモリセルを用いている。このメモリセルは、キャバシタ C 1 の一端側の電極には一定のセルプレート電圧 V_D を印加しておき、ワード線 W_L を高レベルにしてM O Sトランジスタ T 1 をオンにすることによって、キャバシタ C 1 にビット線 B_L からM O Sトランジスタ T 1 を介して電荷を蓄込み、ワード線 W_L を低レベルにしてM O Sトランジスタ T 1 をオフにすることによって、キャバシタ C 1 の電荷 (データ) を保持しておくものである。

上記したように、D R A M は、セル構造が単純であることからセル面積が小さいという特徴があり、高密度の記憶素子として半導体メモリのうちで最も多く使用されている。しかし、D R A M の欠点として、セルキャバシタに蓄えられた電荷

線には、同じリファレンスセルから同じリファレンス電位レベルを発生させ、前記2組のビット線対のうちの各他方のビット線には、それぞれのビット線に接続されているメモリセルのデータに応じた電位レベルが発生するように構成されていることを特徴とする請求項1記載の半導体メモリ。

(4) 前記リファレンスセルの2個のリファレンス用強誘電体キャバシタの共通接続点は、1つのトランジスタを介して電位レベルの電位に接続されていることを特徴とする請求項1記載の半導体メモリ。

3. 発明の詳細な説明

〔発明の目的〕

(従来上の利用分野)

本発明は、強誘電体セルを用いたリフレッシュ不要の不揮発性を有する半導体メモリのセルデータセンス回路に係り、例えば磁気ディスクの代替としての半導体ディスクや画像処理用の画像データのバッファメモリとして使用される半導体メモリに関する。

によってデータの保持を行うので、例えば電荷転送用トランジスタのサブスレッショルドリーフ等、様々な要因によるリークによってセル電荷が失われてしまうことがある。このリークによって失われてしまう電荷を補給するために、リフレッシュ動作を一定期間毎に行って、セルデータを保持しなければならないことは周知である。

また、D R A M は、高速に読み書きできるが、電源をオフすればリフレッシュ動作が行われなくなり、記憶内容が失われてしまう、いわゆる揮発性の半導体メモリである。

そこで、D R A M の高密度性を活かしながら、リフレッシュの必要性と電源オフ時の揮発性から解放されるようなR A M 、しかも、高速に読み書きできるものを研究しようという努力がなされてきた。特に、最近、不揮発性で、かつ、データの書き換えが容易なメモリ機能を有する素子として強誘電体セルが発表 (Electronics/Feb. 4, 1988

P.32 : Electronics/Feb. 18, 1988 P. 91~P. 95) されている。この強誘電体セルは、強誘電体

P Z T (Lead Zirconate Titanate) の自発分極特性を利用してデータを保持するものである。

しかし、この強誘電体セルをR A M へ応用する方法は、S R A M のセルへ余分な付加素子を追加した方式であり、セル面積が小さくならなかったり、D R A M のセルに近い方式であっても、1ビット当たり2つのセルが必要であり、かつ、セルデータの読み出し動作が複雑であるなどの問題がある。

本願発明者は、上記したような強誘電体セルをR A M へ応用する従来の方法は、セル面積が大きくなり、セルデータの読み出し動作が複雑であるなどの問題がある点に鑑みて、従来のD R A M の回路設計およびプロセス技術から大きく離れることなく強誘電体セルを応用することができ、リフレッシュ動作が不要になり、不揮発性を有する半導体メモリを本願と同時に出願に係る特許出願により提出している。

即ち、この出願に係る半導体メモリは、メモリセルによって生じたビット線対の電位変化を検知増幅するセンスアンプ系を有する半導体メモリに

おいて、前記メモリセルは、強誘電体をキャバシタの芯極間に挟んだ構造を持つ強誘電体キャバシタの一方の芯極の芯位が、前記ピット線の論理的な“1”と“0”に対応する芯位のほぼ中間レベルに固定され、この強誘電体キャバシタの他方の芯極とピット線との間に電荷転送用トランジスタが接続されてなり、上記強誘電体キャバシタの芯極間の最大間隔を d (cm)、上記強誘電体の自己分極を反転し、始んど変化しなくなるのに要する芯場の強さを E_i (v/cm) で表わしたとき、 $E_i \times d$ の値が、前記ピット線の論理的な“1”と“0”に対応する芯位の差のほぼ半分よりも小さいことを特徴とする。

上記ピット線対は、セルデータのアクセスが開始されるまでの間は、セルプレート芯位レベルにはほぼ等しいレベルにイコライズされており、アクセスが開始されて前記メモリセルの電荷転送用トランジスタおよびリファレンスセルの電荷転送用トランジスタがオンする直前に、 V_{cc} 芯位、 V_{ss} 芯位の2つの芯極レベルの一方付近のレベルに設

定される。その後、“メモリセルの電荷転送用トランジスタおよびこのメモリセルと対をなす側のピット線に接続されているリファレンスセルの電荷転送用トランジスタがオンし、一方のピット線にはリファレンスセルによりリファレンスレベルが発生し、もう一方のピット線には前記メモリセルのデータによるデータレベルが発生する。この後は、従来のDRAMと同様に、このピット線対のレベルがセンス増幅される。

以下、図面を参照して、上記提案に係る半導体メモリの一実施例を詳細に説明する。第5図は、メモリセルによって生じたピット線対の芯位変化を検知増幅するセンスアンプ系を有する半導体メモリとして、例えば従来のDRAMのセルデータセンス系に強誘電体キャバシタを持つメモリセルリファレンスセルを採用したメモリの一部（セルが行列状に配列されたメモリセルアレイの1カラムに対応する部分を代表的に取出している）を示している。

ここで、 \overline{BL} および BL はピット線対、 MC_1

および MC_2 は一方のピット線 BL に接続されているメモリセル、 MC_3 および MC_4 は他方のピット線 \overline{BL} に接続されているメモリセル、 WL_1 および WL_2 は一方のピット線 BL に接続されているメモリセルの電荷転送用トランジスタ T_2 および T_3 のゲートに接続されているワード線、 WL_1 および WL_2 は他方のピット線 \overline{BL} に接続されているメモリセルの電荷転送用トランジスタ T_2 および T_3 のゲートに接続されているワード線、 $R.E.F$ はメモリセルデータの読み出しレベルに対するリファレンスレベルを発生してピット線対に供給するリファレンスレベル発生回路、 PR はピット線プリチャージ回路、 SA はピット線対の芯位変化を検知増幅するセンスアンプ、 DQ および \overline{DQ} はデータ線対、 G_2 および G_2 はピット線対とデータ線との間に接続され、列選択信号 $CS.L$ によりスイッチ制御されるピット線選択トランジスタである。

メモリセル MC_1 ～ MC_4 は、それぞれ第6図 (a) および (b) に示すように、強誘電体 20

を企図などの導電体からなるキャバシタ芯極 21、22間に挟んだ構造を持ち、一方の芯極（セルプレート）の芯位 V_{PF} が前記ピット線の論理的な“1”に対応する芯位 V_{II} と“0”に対応する芯位 V_{L} のほぼ中間レベルの芯位 ($V_{II} + V_L$) / 2 に固定されている強誘電体キャバシタ C_F と、この強誘電体キャバシタ C_F の他方の芯極と一方のピット線 BL または他方のピット線 \overline{BL} との間に接続され、ゲートがワード線 WL に接続されている電荷転送用トランジスタ T_F とからなる。強誘電体キャバシタ C_F の芯極間の最大間隔 d (cm) は、後述するようにある値以下に作られている。

リファレンスレベル発生回路 $R.E.F$ は、それぞれメモリセル MC_1 ～ MC_4 の強誘電体キャバシタ C_F のほぼ 1/2 の面積と容量を持つ 2 個のリファレンス用強誘電体キャバシタと、この 2 個のリファレンス用強誘電体キャバシタと 1 つのピット線との間にそれぞれ接続されている 2 個の電荷転送用トランジスタとからなるリファレンスセル

が用いられており、その詳細は後述する。

ここで、強誘電体の性質を第3図に示す。図中は強誘電体に印加される外部電場、即ち、強誘電体キャバシタの電極21、22間にV(v)の電圧が印加された時のE(v/cm) = V(v)/d(cm)の値を示し、図中は自危分極Pを示しており、強誘電体のPとEとの関係は、いわゆるヒステリシスの関係を持っている。

いま、強誘電体の分極のドメインがばらばらであって全体として分極を示さない状態から電場を印加する場合を考える。先ず、Eを正方向に増大していくと、分極が0からAまで増大していく。分極がAの状態は、一定の方向の分極を持ったドメインのみとなって、分極は殆んど増大しなくなる。この時の電場をE₁で表わす。この後、Eを小さくしていくと、分極は0からAまで減少していく。分極がBの状態は、分極がAの状態とは逆方向の分極を持ったドメインの

みとなって、分極は殆んど増大しなくなる。この時の電場を-E₁で表わす。再び、Eを増大していくと、分極は図中4-2のカーブにしたがってBからAまで変化する。この時、Eを零にしても、分極は零にならずに-P_sが維持される。

上述したように、強誘電体を電極間に挟んだ強誘電体キャバシタに電場E₁を生じるような電圧を与えると、その後、上記電場を浮遊状態にしても、分極の向きは自危分極として維持される。この自危分極による強誘電体の表面電荷はリークなどにより自然消滅することではなく、逆方向の電場がかかって分極が零とならない限りは、電場E₁によって生じた分極の向きを維持し、その値はほぼ|P_s|のままである。

ところで、第6図(b)に示した強誘電体キャバシタの電極間の最大間隔d(cm)であるが、ピット線の論理的な"1"に対応する電位V_H、"0"に対応する電位V_Lによって強誘電体の分極の向きが反転できるように設定しなければならない。即ち、セルプレート電位をV_{PP}で表わすと、

$$V_H - V_{PP} = V_{PP} - V_L$$

$$= (V_H + V_L) / 2 > E_1 \times d$$

を満足するように決めなければならない。ここで、E₁には使用する強誘電体によって決まる値であり、分極の向きを反転して逆を適用するのに十分な電場の大きさである。例えばE₁ = 1000v/cm、V_H = 5v、V_L = 0vならV_{PP} = 2.5vであるから

$$d < 2.5v + 1000v/cm = 25\mu m$$

とすればよい。

このように電極間隔dを設定しておけば、ピット線にV_Hを与えた時とV_Lを与えた時とで分極が反対方向を向くようにスイッチ制御でき、しかも、強制的な反転を生じさせるまでは一定のデータとしての自危分極を保持することができる。

次に、第6図(a)に示したような強誘電体キャバシタを持つメモリセルの具体的な構造について記述する。強誘電体は、電場のかかった部分だけ分極の向きが変化する。即ち、その部分の分極がドメイン構造へと変化するので、連続した

強誘電体層でも部分部分の分極状態を変化させることができる。そこで、従来のDRAMのメモリセルの階層化膜と同じように用いて、しかも、分極状態としてデータを不揮発的に保持できる。ここで、不揮発性メモリで注意しなければならないのは、メモリセルの電極に直接つながるノードの階層の割合をなるべく小さくして基板電位レベルとのカップリングを減らすことが必要であるということである。このカップリングを減らさないと、電極のオン、オフ時に基板電位レベルを介して、自危分極を反転させるようなノイズがメモリセルに発生するおそれがある。

以上述べたことを考慮したメモリセルの平面パターンおよび断面構造を第9図(a)および(b)に示している。即ち、シリコン基板1の表面に粒子分離用のフィールド酸化膜2が形成された後に、粒子領域の基板表面上にゲート電極膜3を介して電荷転送用トランジスタのゲート電極(およびワード線)4となる第1導電層であるポリシリコンがパターニング形成されている。次に、このゲ

ト電極4をマスクとして、上記電荷転送用トランジスタのソース、またはドレインになる不純物拡散部電極部5、5'が形成され、さらに、基板上に酸化膜などの絶縁層6が形成されている。

そして、絶縁層6に前記電荷転送用トランジスタのソース（または、ドレイン）になる一万の不純物拡散部電極部5まで達するようにコンクートホールが形成された後、この記述6上に第2導電層であるポリシリコン7が堆積されて不純物拡散部電極部5へ導電性のコンクートがとられ、このポリシリコン7が島状にバターニングされて個々のメモリセル用として独立した強誘電体キャバシタの一方の電極7が形成されている。

次に、基板上の全面に各メモリセルに共通の強誘電体層8が形成され、その上に第3導電層であるポリシリコン9が堆積され、このポリシリコン9と強誘電体層8とがバターニングされて強誘電体キャバシタの他方の電極（プレート電極）9が各メモリセルに共通に形成されている。これにより、第3導電層であるポリシリコン9の下以外に

ある強誘電体層は除去されている。

次に、基板上に酸化膜などの絶縁層10が形成され、この絶縁層10に前記電荷転送用トランジスタのドレイン（または、ソース）になる他方の不純物拡散部電極部5'まで達するようにコンクートホールが形成された後、この絶縁層10上に第4導電層11であるアルミニウム、またはポリシリコン、またはポリシリコンとシリサイドとの複合膜が堆積されて不純物拡散部電極部5'へ導電性のコンクートがとられ、この第4導電層11がバターニングされてピット線11が形成されている。

このようにして、従来のDRAMの積み上げ構造のメモリセルと殆んど変わらない構造で強誘電体キャバシタを持つメモリセルが実現されているので、メモリセルの占有面積は小さく、集成度も従来のDRAMとほぼ同じになる。

次に、上記したように構成されたセンス系を有するRAMにおけるメモリセルデータのセンス動作を説明する。

先ず、メモリセルとピット線との間の電荷の移動量について説明する。第10図(a)および(b)は、メモリセルがピット線に接続される前の初期状態と、接続された後の最終状態（選択状態）における各部の電位などを模式的に示したものである。上記メモリセルの強誘電体キャバシタCFのセルプレートの電位はV_{PF}であり、このメモリセルに蓄込まれているデータが“0”か“1”であるかにしたがって、対向電極（電荷転送用トランジスタに接続されている電極）の電位V_iは、

$V_L \leq V_i \leq V_{PF}$ または $V_{PF} \leq V_i \leq V_H$ となる。これは、蓄込まれているデータが“0”的時は、先ず、 $V_i - V_L$ として“0”に対応する自発分極を作り、その後、読み出し期間以外には、このメモリセルを長時間アクセスしなければ $V_i - V_{PF}$ となるように電荷転送用トランジスタを弱くオンとするため、アクセス間隔によつては V_i が V_L と V_{PF} の中間レベルとなるためである。

同様に、蓄込まれているデータが“1”的時は、 $V_i - V_H$ として“1”に対応する自発分極を作るために、 V_i は V_H と V_{PF} の中間レベルを取り得る。なお、ここで、最終的には $V_i - V_{PF}$ と設定されるようにしておくのは、電極を完全な浮遊状態にしておいた場合、電荷のリーク（例えば基板電位レベルへのリークなど）によっては、電極の電位は蓄込んだ自発分極を反転させることもあり得るからである。

いま、ピット線の容量CBの初期レベルを V_{ss} 、自発分極の大きさを P_s 、強誘電体キャバシタCFの対向面積をA、その容量をCで表わした時、メモリセルがピット線に接続された後の最終状態（選択状態）でのピット線の電位 V_i を前記 V_i と対応させて第10図(b)に示している。蓄込まれているデータが“0”的時には、

$$V_i - C \cdot V_i / (C + CB)$$

となり、蓄込まれているデータが“1”的時には、

$$V_i - 2 \cdot A \cdot P_s / (C + CB) + C \cdot V_i / (C + CB)$$

となる。

即ち、書き込まれているデータが“0”のメモリセルと書き込まれているデータが“1”のメモリセルとでは、上記 V_i に最小でも

$$2 \cdot A \cdot P_s / (C + C_B)$$

の差が存在する。従って、“0”と“1”的リファレンスレベルとして、第10図(b)中に示しているレベル V_{REF} を設定できれば、メモリセルのデータを V_i に無関係にセンスすることができる。

これに対して、読み出し前のピット線電位 V_B が V_{CC} であった時には、最終状態(選択状態)での V_i は、第10図(b)中に示している V_i に

$$C_B \cdot V_{CC} / (C + C_B)$$

を加えたものとなる。

次に、上記リファレンスレベルを作り出す動作を第11図(a)および(b)を参照して説明する。第11図(a)および(b)は、第7図に示したリファレンスレベル発生回路 REF のリファレンスセルがピット線に接続される前の初期状態

と、接続された後の最終状態(選択状態)における各部の電位などを模式的に示したものである。リファレンスセルの2つのリファレンス用強誘電体キャバシタ DCA 、 DCB は、それぞれメモリセルの強誘電体キャバシタ CF のほぼ半分の面積 $A/2$ と容量 $C/2$ を持つ。

そして、一方のリファレンス用強誘電体キャバシタ DCA のセルプレート電位を V_{PF} (メモリセルの強誘電体キャバシタ CF のセルプレート電位と同じ)、他方のリファレンス用強誘電体キャバシタ DCB のセルプレート電位を V_P (V_{CC} 電位、または V_{SS} 電位) と表わす。また、第10図の V_i に相当する電位は V_{PF} にしておく。読み出し前のピット線電位 V_B が V_{SS} か V_{CC} かにしたがって、一方のリファレンス用強誘電体キャバシタ DCA の初期状態を第11図(b)に示すように設定しておく。

即ち、 $V_B = V_{SS}$ の時は、一方のリファレンス用強誘電体キャバシタ DCB に“1”、 $V_B = V_{CC}$ の時は、一方のリファレンス用強誘電体キャ

バシタ DCA に“0”を書き込んでおく。なお、リファレンス用強誘電体キャバシタ DCB の初期状態は、対向電極の電位が V_{PF} なので $V_P - V_{CC}$ では“0”、 $V_P - V_{SS}$ では“1”となっている。リファレンスセルがピット線に接続されると、他方のリファレンス用強誘電体キャバシタ DCB は、読み出し前のピット線電位 V_B が V_{SS} か V_{CC} のいずれのレベルにあっても、その強誘電体の“0”、“1”的状態は変化しない。そして、リファレンス用強誘電体キャバシタ DCA では、ピット線電位 V_B と V_{PF} との関係は、上記リファレンスセルがピット線に接続されると、その内容が反転するようなレベルに設定されているので、上記リファレンスセルがピット線に接続された後の最終状態(選択状態)は、読み出し前のピット線電位 V_B が V_{SS} であった時には、

$$V_i = A \cdot P_s / (C + C_B) + C \cdot V_{PF} / (C + C_B)$$

となる。これは、第10図(b)中に示しているリファレンスレベル V_{REF} に対応する。

これに対して、読み出し前のピット線電位 V_B が V_{CC} であった時には、 V_i は第10図(b)の V_{REF} に $C_B \cdot V_{CC} / (C + C_B)$ を加えた読み出し前のピット線電位 V_B が V_{CC} の場合のリファレンスレベルになる。

上述したリファレンスレベルを発生するためのリファレンスレベル発生回路 REF として、読み出し前のピット線電位 V_B が V_{SS} となる場合に対応する構成を第7図に示している。即ち、ピット線 BL および B_L にそれぞれ1個のリファレンスセル RC および RC が接続され、ピット線対にピット線レベルセット回路 LS が接続されている。

ピット線 BL に接続されているリファレンスセル RC は、メモリセルの強誘電体キャバシタ CF のほぼ $1/2$ の面積 $A/2$ と容量 $C/2$ を持つ2側のリファレンス用強誘電体キャバシタ (DC_1 および DC_2) と、この2個のリファレンス用強誘電体キャバシタのそれぞれ一方の電極と一方のピット線 BL 間に各対応して接続されている電荷転送用トランジスタ (DT_1 および DT_2) とか

らなる。

同様に、他方のピット線 BL に接続されているリファレンスセル RC は、メモリセルの強誘電体キャバシタ CF のほぼ $1/2$ の面積 $A/2$ と容量 $C/2$ を持つ 2 個のリファレンス用強誘電体キャバシタ (DC₁ および DC₄) と、この 2 個のリファレンス用強誘電体キャバシタのそれぞれ一方の芯巻と他方のピット線 BL 間に各対応して接続されている芯荷転送用トランジスタ (DT₁ および DT₄) とからなる。

そして、一方のピット線 BL に接続されている 2 個の芯荷転送用トランジスタ (DT₁ および DT₂) の各ゲートには、グミーワード線 DWL からグミーワード線信号が与えられるようになっており、この 2 個の芯荷転送用トランジスタ (DT₁ および DT₂) にそれぞれ接続されているリファレンス用強誘電体キャバシタ (DC₁ および DC₂) の他方の芯巻は、対応して V_{ss} 芯位および前記ピット線の論理的な “1” に対応する芯位 V_{II} と “0” に対応する芯位 V_{IL} のほぼ中

れているリファレンス用強誘電体キャバシタ (DC₃ および DC₄) の他方の芯巻は、対応して中間レベルの芯位および V_{ss} 芯位に固定されており、中間芯位が与えられているリファレンス用強誘電体キャバシタ DC₃ の自発分極は、これに接続されている芯荷転送用トランジスタ DT₃ がデータセンス時にオンした時に反転するようになります。

そして、中間芯位が与えられているリファレンス用強誘電体キャバシタ DC₃ と芯荷転送用トランジスタ DT₃ との接続ノード $\overline{N_d}$ と V_{cc} 芯位との間に、1 メモリサイクル毎に接続ノード $\overline{N_d}$ の芯位をリセットするためのリセット用トランジスタ DS₂ が接続されており、このトランジスタ DS₂ のゲートには、前記リセット線からリセット信号 DCST が与えられるようになっています。

次に、第 5 図のセルデータセンス系を有するメモリの動作について、第 1, 2 図に示す動作波形および第 7 図のリファレンスレベル発生回路 REF を参照して説明する。

同レベルの芯位 (V_{II} + V_{IL}) / 2 に固定されている。中間芯位が与えられているリファレンス用強誘電体キャバシタ DC₂ の自発分極は、これに接続されている芯荷転送用トランジスタ DT₂ がデータセンス時にオンした時に反転するようになります。

そして、中間芯位が与えられているリファレンス用強誘電体キャバシタ DC₂ と芯荷転送用トランジスタ DT₂ との接続ノード $\overline{N_d}$ と V_{cc} 芯位との間に、1 メモリサイクル毎に接続ノード $\overline{N_d}$ の芯位をリセットするためのリセット用トランジスタ DS₁ が接続されており、このトランジスタ DS₁ のゲートには、リセット線からリセット信号 DCST が与えられるようになっています。

同様に、他方のピット線 BL に接続されている 2 個の芯荷転送用トランジスタ (DT₁ および DT₄) の各ゲートには、反転側のグミーワード線 DWL からグミーワード線信号が与えられるようになっており、この 2 個の芯荷転送用トランジスタ (DT₁ および DT₄) にそれぞれ接続さ

光す、動作の概要を述べる。ピット線対は、メモリセルデータのアクセスが開始されるまでの間は、セルブレート芯位 VPF のレベルにはほぼ等しいレベルにイコライズされており、アクセスが開始されてメモリセルの芯荷転送用トランジスタおよびリファレンスセルの芯荷転送用トランジスタがオンする直前に、V_{cc} 芯位、V_{ss} 芯位の 2 つの芯巻レベルの一万付近のレベル (本例では V_{ss} 芯位) に設定される。

その後、メモリセルの芯荷転送用トランジスタおよび、このメモリセルと対をなす側のピット線に接続されているリファレンスセルの芯荷転送用トランジスタがオンし、このリファレンスセルのうちの 1 つのリファレンス用強誘電体キャバシタの自発分極が反転して一方のピット線にリファレンスレベルが発生し、もう一方のピット線には前記メモリセルのデータによるデータレベルが発生する。この後は、従来の DRAM と同様に、このピット線対のレベルがセンス増幅される。

次に、上記動作を詳述する。ワード線 WL 1 が

立上がりでメモリセルMC₁がアクセスされる場合を考える。アクセスが開始される前は、ダミーワード線DWLおよびDWLはそれぞれ「H」レベルであり、リファレンスセルの電荷伝送用トランジスタDT₁～DT₄は十分オン状態であり、全てのワード線WL1、WL1、WL2…はメモリセルの電荷伝送用トランジスタT₂～T₄がオンする程度のレベルになっている。また、BLP信号は「H」レベルであり、プリチャージ回路PRのトランジスタP₁～P₃はオンとなっていて、ビット線BLおよびBLはそれぞれV_{PP}のレベルになっている。

従って、リファレンス用強誘電体キャバシタDC₂およびDC₃のビット線側電極（接続ノードN_dおよびN_d）の電位はそれぞれV_{PP}、メモリセル用強誘電体キャバシタC₁～C₄のビット線側電極の電位はそれっぽくV_{PP}近くのレベルになっている。従って、セルブレート電位がV_{ss}であるリファレンス用強誘電体キャバシタDC₁およびDC₄はそれぞれ「1」の状態にセットさ

れています。また、セルブレート電位がV_{PP}であるリファレンス用強誘電体キャバシタDC₂およびDC₃は、前回のアクセスの終わりに「1」がセットされている。

さて、アドレスが決まり、アクセスが開始されると、先ず、ダミーワード線DWL、DWLおよび全てのワード線WL1、WL1、WL2…がV_{ss}レベルとなり、リファレンスセルの電荷伝送用トランジスタDT₁～DT₄およびメモリセルの電荷伝送用トランジスタT₁～T₄がオフする。その後、BL_P信号が立下がってプリチャージ回路PRのトランジスタP₁～P₃がオフし、ビット線BLおよびBLはそれぞれV_{PP}レベルから切り離される。次に、BL_{ST}信号が立上がりビット線レベルセット回路LSのトランジスタS₁～S₃がオンになり、ビット線BL₁およびBL₁はそれぞれセルデータ検出のためのレベルに設定される。この例では、ビット線BL₁およびBL₁はV_{ss}レベルにセットされる。

この後、BL_{ST}信号が立下がると、データを

ビット線BLおよびBLへ転送するために、ワード線WL1およびダミーワード線DWLのみが立上がり、メモリセルの電荷伝送用トランジスタT₁およびリファレンスセルの電荷伝送用トランジスタ(DT₁およびDT₂)が十分オン状態になる。このビット線BLおよびBLへのデータの転送レベルは、第6図および第7図に示した通りであり、ビット線対には、ほぼA・P_S／(C+CB)のレベル差が生じる。

従って、強誘電体キャバシタとしては、面積Aが大きい程、強誘電体の自己分離P_Sが大きい程、ビット線容量CBが小さい程、データ転送量が大きいが、従来のDRAMと異なるのは、セルの容量は小さい方がよいということである。この場合、面積Aは小さくできないので、自己分離P_Sの反転条件が許す限り、強誘電体を厚くした方がよい。

また、ビット線BLおよびBLにデータが転送された後のセンス増幅は、従来の一般的なDRAMと同様であるが、ビット線BLおよびBLのレベルがいずれもV_{ss}側にあることが異なる。

そこで、本実施例でのセンス増幅は、先ず、SEP信号を立上げ、センスアンプSAのPMOSトランジスタSP₁およびSP₂によりV_{cc}側に向かってセンスを行い、その後、SEN信号を立下げ、NMOSトランジスタSN₁およびSN₂によりV_{ss}側のビット線のレベル確保を行う。ビット線対のレベル差が十分増幅された後に、選択されたCSL信号が立上がりトランジスタG₁およびG₂がオンになり、このトランジスタG₁およびG₂を介してデータ線DQおよびDQへとデータが転送されて読み出しが完了する。

次に、次のサイクルのための初期状態を作る動作へと入っていく。先ず、今まで立上がっていたワード線WL1およびダミーワード線DWLが立下がる。その後、SEP信号が立下がり、SEN信号も立上がり、センスアンプSAがリセットされると同時に、DCST信号が立上がり、トランジスタDS₁およびDS₂がオンになり、接続ノードN_dおよびN_dがほぼV_{cc}レベルになり、セルブレート電位がV_{PP}であるリファレンス用強誘

電体キャバシタ DC_2 および DC_3 がそれぞれ “1” の状態に書き込みセットされた後、 $DCST$ 信号が立下がる。この間に、 BLP 信号が立上がり、トランジスタ P_1 ～ P_3 がオンし、ビット線 BL および \overline{BL} はそれぞれ V_{PF} にプリチャージ。イコライズされる。

このイコライズ・プリチャージが完了する頃、ダミーワード線 DWL 、 \overline{DWL} および全てのワード線 WL_1 、 $\overline{WL_1}$ 、 WL_2 のレベルを立上げ、メモリセルセルの電圧を V_{PF} レベルへと導く。この際、ダミーワード線 DWL および \overline{DWL} の立上げは十分に行い、次のサイクルに備えてリファレンス用強誘電体キャバシタ DC_1 ～ DC_4 の電圧を V_{PF} と同じにしておく必要があるが、メモリセルについては、その電荷転送用トランジスタ T_1 ～ T_4 はセルの電圧が V_{PF} 以外のノードへリードするのを補って、セルに自己充分極を反転させるような状況がかかるないように何かにオンしていれば十分であり、上記メモリセルの電荷転送用トランジスタ T_1 ～ T_4 の閾値電圧 V_{TH} 程度のレベル

ヘワード線 WL_1 、 $\overline{WL_1}$ 、 WL_2 のレベルをゆっくりと立上げればよい。

こうすることによって、全てのワード線 WL_1 、 $\overline{WL_1}$ 、 WL_2 のレベルを立上げる際のパワーと電流ピークを極力小さくできる。このため、最少サイクルでアクセスを繰り返す場合には、メモリセルの電荷転送用トランジスタ T_1 ～ T_4 はオンとならないこともある。

そこで、長いサイクルの時、換算すれば、メモリセルデータのアクセスが開始されるまで間に前記ビット線対が前記中間レベルの電位にイコライズされる時間が長い時には、メモリセル電圧がリークするのを補って V_{PF} レベル付近に保って強誘電体自己充分極を反転させないように、メモリセルの電荷転送用トランジスタをオン状態に設定するように構成しておくことにより、セルデータが破壊されないように保護することが可能になる。

以上、読み出し前のビット線電位 V_B が V_{ss} となる場合の V_{ss} 方式を採用している場合の読み出し動作を説明したが、読み出し前のビット線電位 V_B が

V_{CC} となる場合の V_{cc} 方式を採用している場合は、(1) $BLST$ 信号により制御されるトランジスタ S_1 ～ S_3 によりビット線 B および \overline{BL} をそれぞれ V_{cc} 近くのレベルに設定するために、トランジスタ S_1 および S_2 の各一端を V_{cc} 電位に接続しておくこと、(2) $DCST$ 信号により制御されるトランジスタ DS_1 および DS_2 によりリファレンス用強誘電体キャバシタ DC_2 および DC_3 に “0” を書き込んでおくためにトランジスタ DS_1 および DS_2 の各一端を V_{ss} 電位に接続しておくこと、(3) センスアンプ SA を動かすための PMOS トランジスタ SP_1 および SP_2 と NMOS トランジスタ SN_1 および SN_2 との動作順序が上記とは逆になることが上記 V_{ss} 方式を採用している場合と異なる。

なお、メモリセルへのデータ書き込みは、従来の一般的な DRAM と全く同様であるので、その説明を省略する。

以上は、データのセンス増幅の動作について説明したが、不揮発性 RAM として機能させるため

には、更に、電圧のオン、オフ時における内部信号のセット、リセットの順序に十分注意しないと、過渡的な電圧によって強誘電体キャバシタの内容が書き換えられてしまうことがある。特に、セルブレートレベルおよびビット線対のレベルである V_{PF} は、負荷容量が大きく、電圧のオン、オフ時にゆっくりと変化する。従って、 V_{PF} のレベルと、ワード線をアクティブとすべきタイミングには、一定の順序を設ける必要がある。

即ち、セルブレートレベルおよびビット線対のレベルが V_{PF} にならぬうちにワード線がアクティブになったりすると、セルの内容が破壊されるおそれがある。電圧オン時における各ノードのレベルの立上げ順序を概念的に第 13 図に示している。

ここで、セルブレートレベル検出回路 91 は、セルブレートレベルをモニタする回路であり、電圧オン時の出力 $\#D$ は “L” であるが、セルブレートレベルがほぼ V_{PF} になると、出力 $\#D$ が “H” となる。ビット線プリチャージレベル検出回路

92は、ピット線の出位レベルをモニタする回路であり、出戻オン時の出力 Ψ_B は「L」であるが、BLP信号が出戻オンと共に立上がりビット線がプリチャージされ始めて、そのレベルがほぼV_{PP}に達すると、 Ψ_B は「H」へと立上がる。2つの信号 Ψ_B 、 Ψ_B がアンドゲート93でアンド処理が行われた出力により、初めて、ワード線レベル発生回路94の出力およびグミーワード線レベル発生回路95の出力がそれぞれアンドゲート96、97を経てワード線およびグミーワード線へ出てメモリセルおよびリファレンスセルのピット線側出位がV_{PP}へと変化する。この時までは、出戻転送用トランジスタはオフになっているので、上記ピット線側出位は浮遊状態であり、強誘電体キャバシタの強誘電体にその自発分極を反転する程の電場がかかることはない。

更に、グミーワード線レベル発生回路95の出力によりグミーワード線のレベルがきちんと立上がりリファレンスセルのピット線側出位のレベルがきちんとV_{PP}となってから、初めて、メモリ

回路の外部信号をアンドゲート98により受けた内部信号を発生できるようになり、センスを行うことなく、セルにアクセスすることができるようになる。

即ち、上記した出戻時ににおける各出位ノードの出位レベルの立上げのシーケンスにより、セルブレートレベルおよびピット線側のレベルが分に出力されて、初めてセルとピット線との間の出戻転送用トランジスタがオンすることができるので、その後にメモリ制御用の外部信号を受けることができるようにになって内部信号が発生し、セルデータのセンスが可能になる。

出戻オフ時には、メモリセルおよびリファレンスセルがピット線と完全に切り離されてからピット線レベルおよびセルブレートレベルがオフしなければ、メモリセルの強誘電体キャバシタの自発分極を反転してしまうような過渡電圧が発生し得る。即ち、セルブレートレベルV_{PP}と、センサアンプSAのNMOSトランジスタS_{N1}およびS_{N2}の駆動信号SENとは、十分な時定数をも

つてV_{cc}の変化に追従していく必要がある。このための回路構成を模式的に第14図に示している。

ここで、セルブレートレベル発生回路101の出力であるV_{PP}と、SENレベル発生回路102の出力であるSENとは、点線で図示する如く十分に大きな容量を持っているので、V_{cc}がV_{ss}へとオフしても、直接V_{cc}の方向に電荷を流しさえしなければ、十分にゆっくりと放電してレベルが下がっていく。そのために、2つのレベル発生回路101、102とV_{cc}ノードとの間にダイオード103を挿入している。

これによって、回路の持つ自己の時定数でSEN出力、V_{PP}出力はオフしていく、第13図のワード線レベル発生回路94やグミーワード線レベル発生回路95が出戻オフ時に直ぐオフした後に十分に時間的余裕を持ってオフするので、セルを破壊することはない。即ち、上記した出戻オフ時における各出位ノードの出位レベルの立上げのシーケンスにより、セルブレートレベル発生回路、センサアンプ駆動レベル発生回路の各出力は、

メモリ制御用の外部信号を受けて内部信号を発生させる回路、出戻転送用トランジスタをオンさせる信号の発生回路がオフされた後に完全にオフされる。

また、上記説明では、リファレンスセルの2個のリファレンス用強誘電体キャバシタは、それ別々の出戻転送用トランジスタを介して1つのピット線に接続されている例を示したが、これに限らず、第15図に示すように、2個のリファレンス用強誘電体キャバシタ(D_{C1}およびD_{C2})を1個の出戻転送用トランジスタDT₁を共通に介して一方のピット線B_Lに接続し、同様に、2個のリファレンス用強誘電体キャバシタ(D_{C3}およびD_{C4})を1個の出戻転送用トランジスタDT₂を共通に介して他方のピット線B_Lに接続するようにしても、上記説明と同様の動作および効果が得られる。

しかし、上記したように構成された半導体メモリの実現に際して、実際上難いのは、前記リファレンスセルの2個のリファレンス用強誘電体キ

キャパシタを、それぞれメモリセルの強誘電体キャパシタの面積と容量のはば1/2にすることである。同様なら、セル構造が3次元的になってくると、上記したように面積と容量のはば1/2になるようにパターン化することと、製造プロセスのはらつきまで考えて所望の容量を作ることは、益々困難になってくる。然るに、上記提案に係る半導体メモリのセルデータセンス系では、信頼性よく、また、十分に余裕のある動作を保証してセルデータを読み出すには、上記したように2個のリファレンス用強誘電体キャパシタをそれぞれメモリセルの強誘電体キャパシタの面積と容量のはば1/2に作ることが最も重要であった。このため、実際には製造する時の製造マージンと回路動作上の信頼性を低下させて歩留りを下げるおそれがあった。

(危険が解決しようとする構造)

本発明は、上記したような提案に係る半導体メモリは、リファレンスセルの2個のリファレンス用強誘電体キャパシタをそれぞれメモリセルの

強誘電体キャパシタの面積と容量のはば1/2になるようにパターン化することと、製造プロセスのはらつきまで考えて所望の容量を作ることが困難であり、実際には製造する時の製造マージンと回路動作上の信頼性を低下させて歩留りを下げるおそれがあるという問題を解決すべくなされたもので、メモリセルの強誘電体キャパシタと全く同じ構造ではば同じ面積と容量を持つリファレンスセルのリファレンス用強誘電体キャパシタを用いても、上記したような提案に係る半導体メモリと同様にデータセンスが可能となり、しかも、さらに新しい動作モードを持たすことが可能となり、リファレンスセル用の特別なパターンや構造を作る必要がなくなり、実際には製造する時の製造マージンと回路動作上の信頼性を向上させ、歩留りを上げることができる半導体メモリを提供することを目的とする。

[危険の構成]

(問題を解決するための手段)

本発明は、メモリセルによって生じたピット

端対の電位変化を検知增幅するセンスアンプ系を有する半導体メモリにおいて、前記メモリセルは、強誘電体をキャパシタの電極間に挟んだ構造を持つ強誘電体キャパシタの一方の電極とピット線との間に電極接続用トランジスタが接続されてなり、上記メモリセルのデータによって電位変化が生じる一方のピット線と対をなす他方のピット線にリファレンス端位レベルを発生するリファレンスセルは、上記メモリセルの強誘電体キャパシタと同じ構造であってはば同じ面積と容量を持つ2個のリファレンス用強誘電体キャパシタを有し、この2個のリファレンス用強誘電体キャパシタの各端が共通接続されていることを特徴とする。

(作用)

上記リファレンスセルの2個のリファレンス用強誘電体キャパシタのうちの一方のキャパシタのセルプレートが電極レベルであるV_{cc}またはV_{ss}に固定され、他方のキャパシタのセルプレートが2つある電極レベルのはば中間レベルの電位に固定されていると、前記共通接続点の電位を上

記2つある電極レベル間で変化させた時に、上記セルプレートが電極レベルである一方のリファレンス用強誘電体キャパシタはその強誘電体の自発分極の向きが変わらないが、上記セルプレートが中間レベルの電位に固定されている他方のリファレンス用強誘電体キャパシタはその強誘電体の自発分極の向きが反転するようになる。

これによって、メモリセルの“1”データによりピット線に生じる電位変化と“0”データによりピット線に生じる電位変化との差のはば半分のレベルの電位変化が、メモリセルのデータによって電位変化が生じる一方のピット線と対をなす他方のピット線に発生する。

さらに、上記リファレンスセルの2個のリファレンス用強誘電体キャパシタの共通接続点が、2組のピット線対のうちの各一方のピット線にそれぞれ1つのトランジスタを介して接続されていると、上記2組のピット線対のうちの各一方のピット線には、同じリファレンスセルから同じリファレンス端位レベルを発生し、上記2組のピット線

対のうちの各他方のビット線には、それぞれのビット線に接続されているメモリセルのデータに応じた電位レベルが発生する。

また、上記リファレンスセルの2個のリファレンス用強誘電体キャバシタの共通接続点が1つのトランジスタを介して電源レベルの電位に接続されていると、リファレンスセルの初期設定を行ったり、ビット線に強制的に電圧レベルの電位を転移してメモリセルの内容を一括に書き換えるフラッシュライト動作モードを実現させることが可能になる。

(実施例)

以下、図面を参照して本発明の一実施例を詳細に説明する。

第1図は半導体メモリの一部を示しており、第5図乃至第15図を参照して前述した構造に係る半導体メモリと比べて、リファレンスレベル発生回路REF'の一部が異なり、その他は同じであるので、前記構造に係る半導体メモリと同一符号を付してその説明を省略する。

と“0”に対応する電位V_Lのほぼ中間レベルの電位(V_H+V_L)/2および電源電位V_Dに固定されており、上記中間電位が与えられているリファレンス用強誘電体キャバシタDC₁の自発分極は、これに接続されている出荷輸送用トランジスタDT₁、DT_{1'}がデータセンス時にオンした時に反転するような向きに設定されている。そして、上記共通接続点N_dとV_{cc}電位との間に、1メモリサイクル毎に上記接続点N_dの電位をリセットするためのリセット用ドランジスタDS₁が接続されている。

同様に、リファレンスセルRCの2個のリファレンス用強誘電体キャバシタ(DC₃、DC₄)は、上記メモリセルの強誘電体キャバシタCFと同じ構造であってほぼ同じ面積と容量を有し、この共通接続点N_dが、前記2組のビット線対(BL、BL')および(BL'、BL')のうちの各他方のビット線BLおよびBL'にそれぞれ1つのトランジスタDT₂およびDT_{2'}を介して接続され、この2つのトランジスタDT₂

即ち、本発明におけるリファレンスレベル発生回路REF'では、リファレンスセルRCの2個のリファレンス用強誘電体キャバシタ(DC₁、DC₂)は、メモリセルの強誘電体キャバシタCFと同じ構造であってほぼ同じ面積Aと容量Cを有し、この2個のリファレンス用強誘電体キャバシタ(DC₁、DC₂)の各一方が共通接続され、この共通接続点N_dが、2組のビット線対(BL、BL')および(BL'、BL')のうちの各一方のビット線BLおよびBL'にそれぞれ1つのトランジスタDT₁およびDT_{1'}を介して接続され、この2つのトランジスタDT₁およびDT_{1'}の各ゲートには、ダミーワード線DWLからダミーワード線信号が与えられるようになっている。従って、リファレンスセルRCは、それぞれ2倍のビット線容量と接続されていることになる。

そして、リファレンス用強誘電体キャバシタ(DC₃、DC₄)の他方の電極は、対応して前記ビット線の論理的な“1”に対応する電位V_H

およびDT_{2'}の各ゲートには、反転側のダミーワード線DWLからダミーワード線信号が与えられるようになっている。従って、リファレンスセルRCは、それぞれ2倍のビット線容量と接続されていることになる。

そして、2個のリファレンス用強誘電体キャバシタ(DC₃、DC₄)の他方の電極は、対応して前記中間レベルの電位および電源電位V_Dに固定されている。この場合、上記中間電位が与えられているリファレンス用強誘電体キャバシタDC₁の自発分極は、これに接続されている出荷輸送用トランジスタDT₂、DT_{2'}がデータセンス時にオンした時に反転するような向きに設定されている。そして、共通接続ノードN_dとV_{cc}電位との間に、1メモリサイクル毎に接続ノードN_dの電位をリセットするためのリセット用トランジスタDS₂が接続されている。

上記したように構成されたセンス系を有するRAMにおけるメモリセルデータのセンス系において、ビット線へのメモリセルデータレベルの発

生の仕方は、第10図(a)および(b)に示した通りである。これに対して、リファレンスレベル V_{ref} を作り出す動作は、第11図(a)および(b)に示したのとは若干異なり、以下、リファレンスレベル V_{REF} の発生の仕方を第2図(a)および(b)を参照して説明する。

第2図(a)および(b)は、例えばリファレンスセル \overline{RC} がピット線 \overline{BL} および $\overline{BL'}$ に接続される前の初期状態と、接続された後の最終状態(選択状態)における各部の電位などを模式的に示したものである。リファレンスセルの2つのリファレンス用強誘電体キャパシタ DC_1 、 DC_2 は、それぞれメモリセルの強誘電体キャパシタ CF と同じ容量 C を持つ。そして、一方のリファレンス用強誘電体キャパシタ DC_1 のセルブレート電位は V_{PF} 、他方のリファレンス用強誘電体キャパシタ DC_2 のセルブレート電位は V_P (V_{cc} 電位、または V_{ss} 電位)であり、対向電極が V_{PF} に設定されることから、セルブレート電位 V_P が V_{ss} か V_{cc} かにしたがって、他方のリファ

レンス用強誘電体キャパシタ DC_2 には第2図(b)に示すように設定される。

即ち、 $VP - V_{ss}$ の時は、リファレンス用強誘電体キャパシタ DC_2 に“1”、 $VP - V_{cc}$ の時は、リファレンス用強誘電体キャパシタ DC_2 に“0”が書き込まれている。このリファレンス用強誘電体キャパシタ DC_2 は、読み出し前のピット線電位 VB が V_{ss} か V_{cc} のいずれのレベルにあっても、その強誘電体の“0”、“1”的状態は変化しない。また、セルブレート電位が V_{PF} であるリファレンス用強誘電体キャパシタ DC_1 には、 V_{SS} レベルにピット線に接続されたとき、強誘電体の自発分極が反転するように、あらかじめ“1”を書き込んでおく。そして、ピット線電位 VB は、リファレンスセル \overline{RC} がピット線 \overline{BL} および $\overline{BL'}$ に接続されると、その内容が反転するようなレベル V_{SS} に設定されているので、リファレンスセル \overline{RC} がピット線 \overline{BL} および $\overline{BL'}$ に接続された後の最終状態(選択状態)は、

$$V_f = A \cdot P_s / (C + C_B) + C \cdot V_{PF} / (C + C_B)$$

となる。これは、第10図(b)中に示しているリファレンスレベル V_{REF} に対応する。

この1つのリファレンスセルから同じリファレンス電位レベルが前記2組のピット線対のうちの各一方のピット線 \overline{BL} および $\overline{BL'}$ に発生し、同じく上記2組のピット線対のうちの各他方のピット線 \overline{BL} および $\overline{BL'}$ には、それぞれのピット線に接続されているメモリセルのデータに応じた電位レベルが発生するので、センスアンプ SA 、 SA' によるセルデータのセンスが可能となり、列選択されたセンスアンプ SA 、 SA' の出力がデータ線対に取出されるようになる。

なお、ピット線対(\overline{BL} および $\overline{BL'}$)には、ピット線対(\overline{BL} および $\overline{BL'}$)と同様に、ピット線レベルセット回路 LS' 、プリチャージ回路 PR' 、センスアンプ SA' 、列選択トランジスタ G_1' 、 G_2' が接続されている。そして、ピット線レベルセット回路 LS' はピット線レベル

セット回路 LS と同様に、トランジスタ S_1 、 S_2 からなり、プリチャージ回路 PR' はプリチャージ回路 PR と同様に、トランジスタ P_1 、 P_2 からなり、センスアンプ SA' はセンスアンプ SA と同様に、PMOSトランジスタ SP_1' 、 SP_2' とNMOSトランジスタ SN_1' 、 SN_2' とからなる。

第3図は上記メモリセルデータのセンス系における動作を示しており、第5図乃至第15図を参照して前述したメモリセルデータのセンス系における動作と比べて、グミーワード線 DWL および反転側のグミーワード線 \overline{DWL} へのグミーワード線信号の与え方が異なる。

即ち、ピット線対は、メモリセルデータのアクセスが開始されるまでの間は、セルブレート電位 V_{PF} のレベルにはほぼ等しいレベルにイコライズされており、アクセスが開始されてメモリセルの電荷転送用トランジスタおよびリファレンスセルの電荷転送用トランジスタがオンする直前に、 V_{ss} 電位付近のレベルに設定される。その後、メモリ

セルの出荷転送用トランジスタおよびこのメモリセルと対をなす側のピット線に接続されているリファレンスセルの出荷転送用トランジスタがオンし、このリファレンスセルのうちの1つのリファレンス用強誘電体キャバシタの自発分電が反転して一方のピット線にリファレンスレベルが発生し、もう一方のピット線には前記メモリセルのデータによるデータレベルが発生する。これまでの動作は前述したメモリセルデータのセンス系における動作と同じである。

この後は、このピット線対のレベルがセンス増幅されるのであるが、本発明では、センスアンプ S_A, S_A' の PMOSトランジスタ (S_{P1}, S_{P2})、(S_{P1}', S_{P2}') をオンするための $S_E P$ 信号が “H” となるセンス開始前に、それまで “H” となっていたダミーワード線 $D_W L$ または反転側のダミーワード線 $\overline{D_W L}$ を “L” としてリファレンスセル $\overline{R_C}, R_C$ をピット線から切り離しておく。このようにすることで、ピット線 B_L と $\overline{B_L}$ と、または B_L と $\overline{B_L}'$ と

がショート状態でセンスが行われることがないようにする。

なお、ダミーワード線 $D_W L$ および反転側のダミーワード線 $\overline{D_W L}$ のパルス状態の立上げのために $S_E P$ 信号を “H” とするタイミングを、前述した場合に係るメモリセルデータのセンス系の場合に比べて、上記したダミーワード線 $D_W L$ または反転側のダミーワード線 $\overline{D_W L}$ の “L” への立下げの時間分遅らせる必要があり、これに伴ってアクセスタイムが若干遅れることになるが、前記したようにリファレンス用強誘電体キャバシタ $D_C_1 \sim D_C_4$ としてそれぞれメモリセルの強誘電体キャバシタ C_F と同じ大きさおよび構造でよいという本発明の利点を重視する場合には止むを得ない。

また、読み出し前のピット線電位 V_B が V_{ss} である V_{ss} 方式、あるいは上記ピット線電位 V_B が V_{cc} である V_{cc} 方式のいずれであっても、(1) $B_L S_T$ 信号により制御されるトランジスタ ($S_1 \sim S_3$)、($S_1' \sim S_3'$) によりビ

ット線対 (B_L および $\overline{B_L}$)、(B_L' および $\overline{B_L}'$) をそれぞれ出力近くのレベルに設定するために、トランジスタ (S_1 および S_3)、(S_1' および S_3') の各一端を V_{ss} 電位、あるいは V_{cc} 電位に接続しておくこと、(2) $D_C S_T$ 信号により制御されるトランジスタ D_{S1} および D_{S2} によりリファレンス用強誘電体キャバシタ D_C_1 および D_C_3 に “1”、あるいは “0” を書き込んでおくために、トランジスタ D_{S1} および D_{S2} の各一端を V_{cc} 電位、あるいは V_{ss} 電位に接続しておくこと、(3) センスアンプ S_A, S_A' を動かすための PMOSトランジスタ (S_{P1}, S_{P2})、(S_{P1}', S_{P2}') と NMOSトランジスタ (S_{N1}, S_{N2})、(S_{N1}', S_{N2}') との動作順序を、 V_{ss} 方式と V_{cc} 方式とでは逆にすることによって、以上の動作が可能であることは前述した場合に係るメモリセルデータのセンス系と同様である。

なお、メモリセルへのデータ書き込みは、従来の

一般的なDRAMと全く同様であるので、その説明を省略する。

また、本発明では、前記リファレンスセルの初期設定を行ったり、ピット線に強制的に出力レベルの電位を転換してメモリセルの内容を一度に書き換えるフラッシュライト動作モードを持たせることが可能になる。このフラッシュライト動作モードは、1つのワード線の立上げによってピット線にセルデータを転送する一連のメモリセル、例えば第1図の M_{C1}, M_{C1}' の内容を一度に書き換えるものである。これは、画像処理用の画像データのバッファメモリに本発明メモリを応用した場合には、画面の高遅クリアなどを行うために適用されるものであり、このフラッシュライト動作モードで第1図のセンス系を動かす場合の動作波形を第4図に示している。

この動作モードでは、前述したようにアクセスサイクル中にリファレンスセルによるリファレンスレベル V_{REF} をピット線に作るのではなく、ダミーワード線 $D_W L$ または反転側のダミーワード

線 DWL を立上げる時に、D C S T 信号を ‘H’ にしてトランジスタ D S₁、D S₂ をオンにして電圧レベルを直接にピット線に導き、メモリセルの内容によらずにセンス系を動かし、ピット線内の ‘H’、‘L’ を決める。例えばワード線 WL 1 を立上げてメモリセル M C₁、M C₁’ にフラッシュライトを行う場合、‘0’ を書込む時には、グミーワード線 DWL を ‘H’ とすれば、メモリセル M C₁、M C₁’ のデータの ‘0’、‘1’ に関係なく一方のピット線 BL、BL’ は ‘H’ となるので、他方のピット線 BL、BL’ は ‘L’ となり、メモリセル M C₁、M C₁’ のデータは ‘0’ となる。これに対して、‘0’ を書込む時には、反転側のグミーワード線 DWL を ‘H’ とすると、メモリセル M C₁、M C₁’ の内容を打ち消してピット線 BL、BL’ は ‘H’ となるので、メモリセル M C₁、M C₁’ のデータは ‘1’ となる。これによって、ワード線 WL 1 に属するメモリセルに一齊に ‘0’ または ‘1’ を書込むことができる。

[発明の効果]

上述したように本発明によれば、メモリセルの強誘電体キャパシタと全く同じ構造では同じ面積と容量を持つリファレンスセルのリファレンス用強誘電体キャパシタを有するセルを用いて前述したような回路方式で R A M を構成することによって、従来の D R A M と同レベルの集成度を持ち、リフレッシュも不要であり、電源オフ時に不確実的にデータを保持でき、読み書きのアクセス時間も従来の D R A M と同程度の半導体メモリを、従来の D R A M の回路設計およびプロセス技術から大きく離れることなく実現できる。

しかも、本発明によれば、さらに新しい動作モードを有すことが可能となり、メモリセル用のバターンや構造とは別にリファレンスセル用の特別なバターンや構造を作る必要がなくなり、突然に製造する時の製造マージンと回路動作上の信頼性を向上させ、歩留りを上げることができる。

従って、本発明の半導体メモリは、磁気ディスクの代替品として、あるいは画像処理用の画像デ

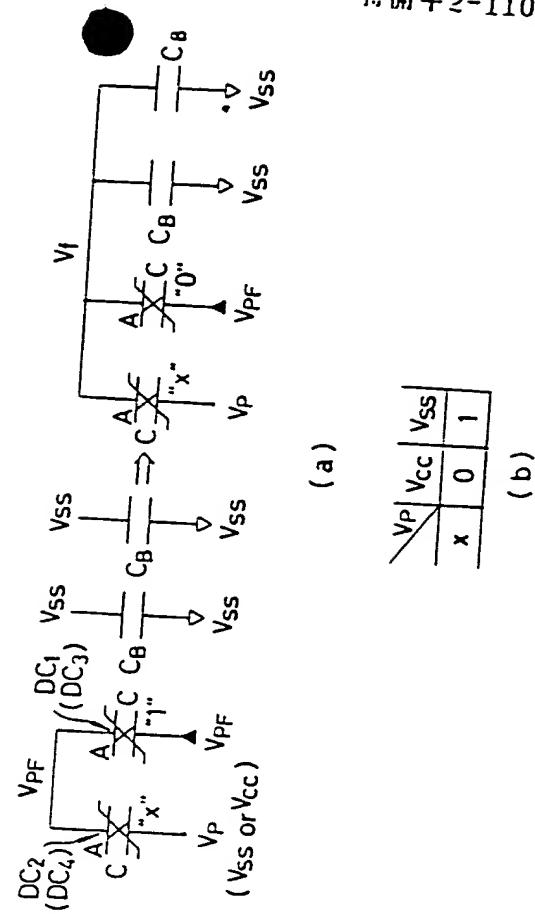
ータのバッファメモリの分野で非常に有効である。
4. 図面の簡単な説明

第1図は本発明の一実施例に係る半導体メモリのセルデータセンス系の一例を示す回路図、第2図 (a) および (b) は第1図中のリファレンスセルによるリファレンスレベル発生方法を説明するため示す図、第3図は第1図のセルデータセンス系のセルデータセンス動作を示す波形図、第4図は第1図のセルデータセンス系のフラッシュライト動作を示す波形図、第5図は別の提案に係る半導体メモリのセルデータセンス系の一例を示す回路図、第6図 (a) は第5図中の強誘電体キャパシタを有するメモリセルの等価回路図、第6図 (b) は同図 (a) 中の強誘電体キャパシタの構造を示す断面図、第7図は第5図中のリファレンスレベル発生回路の一例を示す回路図、第8図は強誘電体の分極と電場との関係を示す特性図、第9図 (a) は第6図 (a) のメモリセルの平面バターンを示す図、第9図 (b) は同図 (a) の B-B 線に沿う断面図、第10図 (a) および

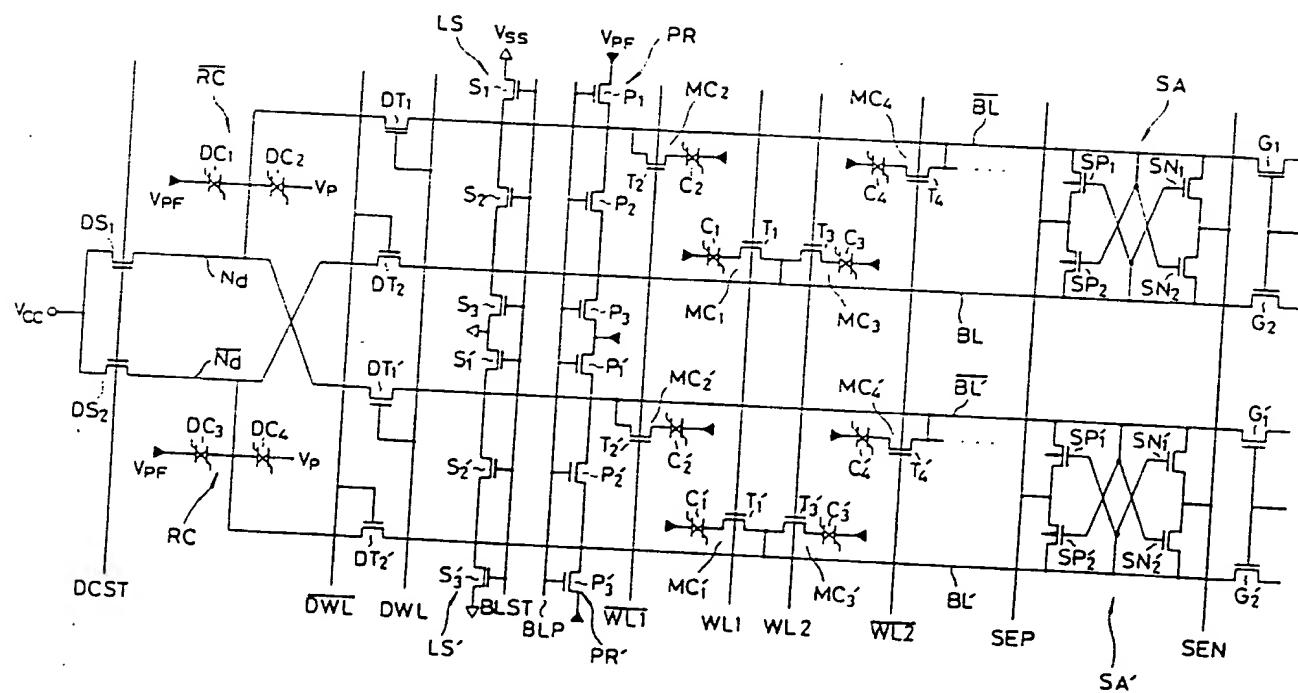
(b) は第5図中のメモリセルのデータ読み出しの方法を説明するために示す図、第11図 (a) および (b) は第7図中のリファレンスセルによるリファレンスレベル発生方法を説明するために示す図、第12図は第5図のセルデータセンス系の動作を示す波形図、第13図は電源オン時におけるメモリ回路の立上げ順序を説明するために示す図、第14図は電源オフ時におけるセルブレートレベル発生回路の出力および S E N レベル発生回路回路の出力のリセット方法を説明するために示す図、第15図は第7図のリファレンスレベル発生回路の変形例を示す回路図、第16図は従来の D R A M のメモリセルの等価回路図である。

M C₁ ~ M C₄、M C₁’ ~ M C₄’ …メモリセル、C₁ ~ C₄、C₁’ ~ C₄’ …メモリセルの強誘電体キャパシタ、T₁ ~ T₄、T₁’ ~ T₄’ …メモリセルの電荷伝送トランジスタ、R C、R C’ …リファレンスセル、D C₁ ~ D C₄ …リファレンスセルの強誘電体キャパシタ、D T₁、D T₂、D T₁’、D T₂’ …リファレ

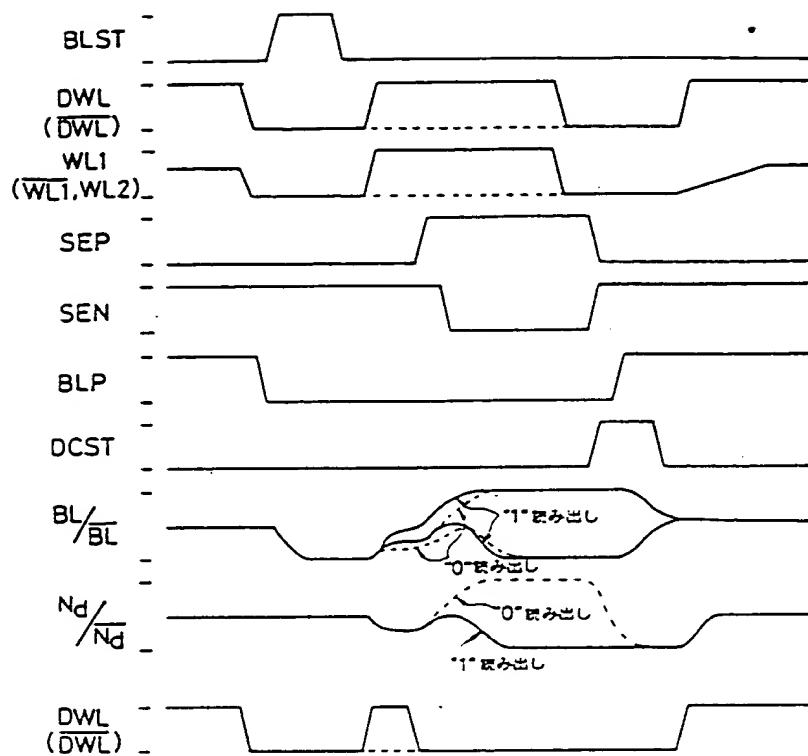
ンセルの電荷転送トランジスタ、WL、WL1、
WL1、WL2…ワード線、DWL、DWL…ダ
ミーワード線、BL、BL、BL'、BL'…
ピット線、SA、SA'…センスアンプ、SP,
~SP3、SP1'~SP3'…センスアンプ
のPMOSトランジスタ、SN1~SN3、
SN1'~SN3'…センスアンプのNMOSト
ランジスタ、PR、PR'…プリチャージ回路、
LS、LS'…ピット線レベルセット回路、
20…強誘芯体、21、22…強誘芯体キャバシ
タの芯壁。



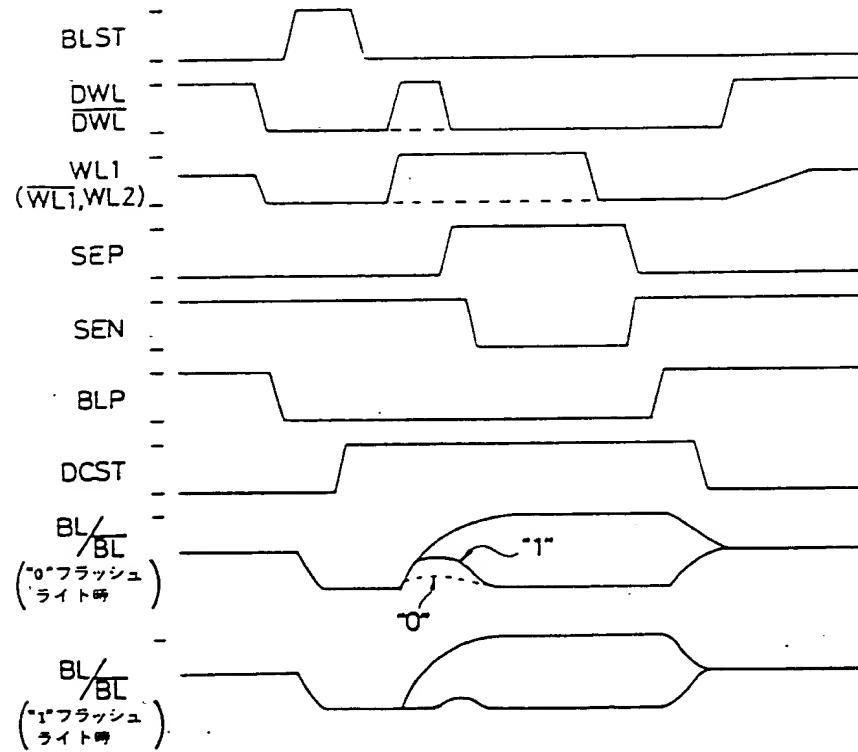
出頭人代理人
弁理士 沿江武雄



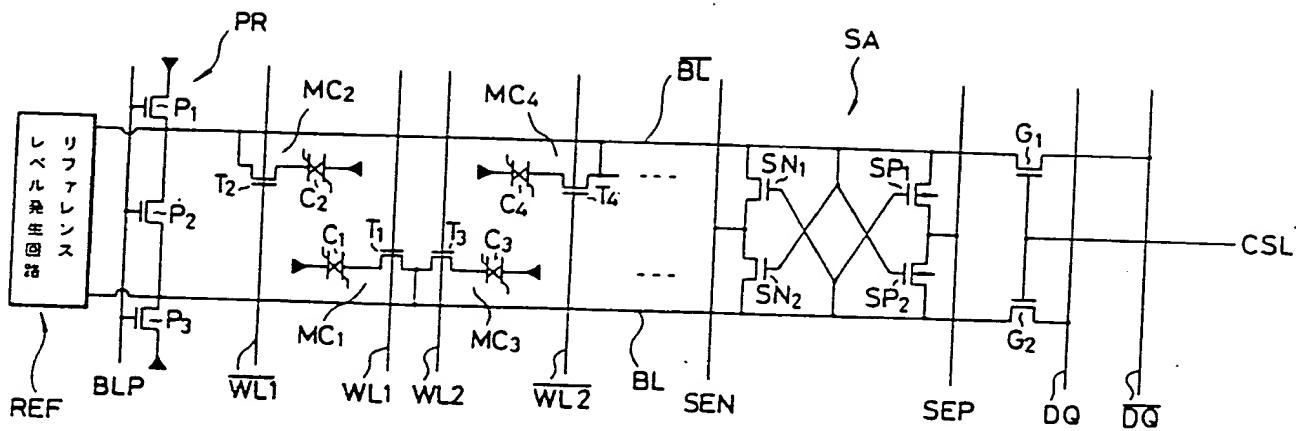
第 1 頁



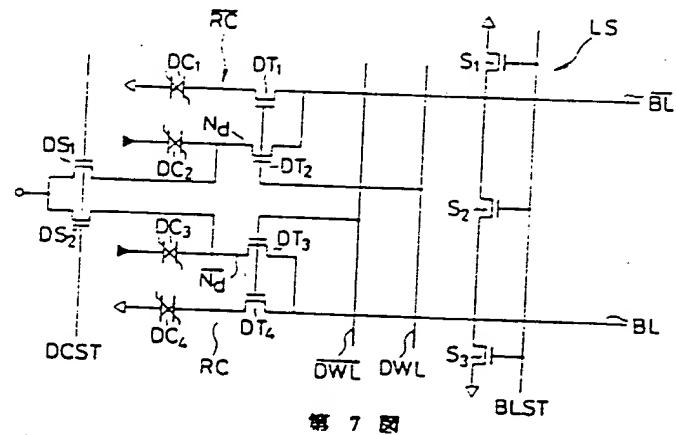
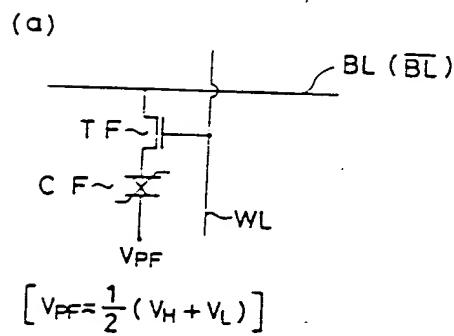
第 3 図



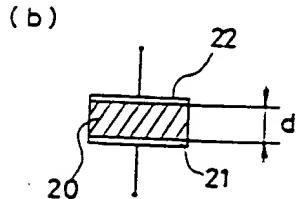
第 4 図



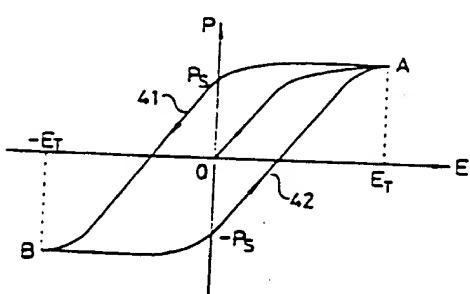
第5図



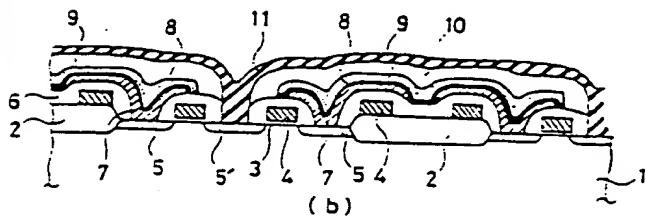
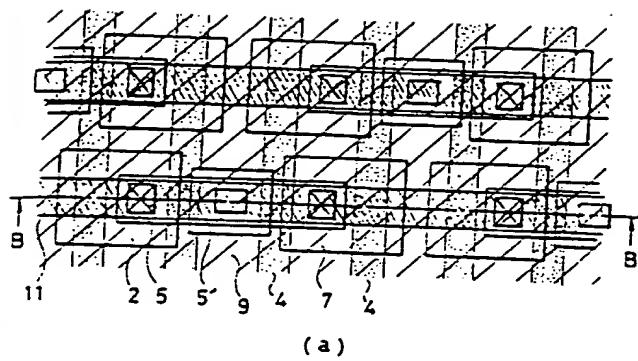
第7図



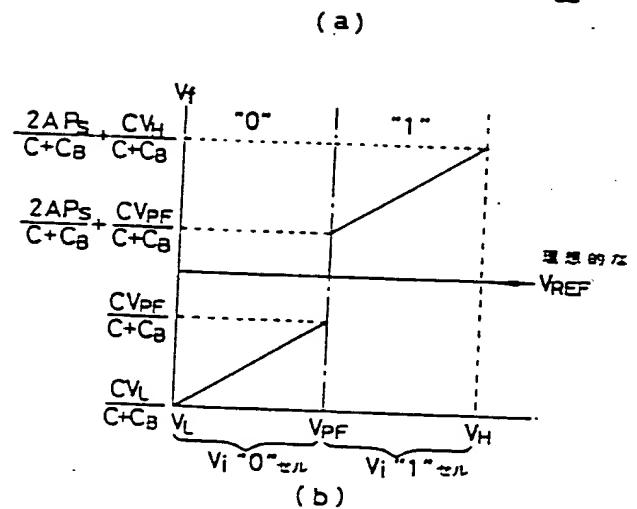
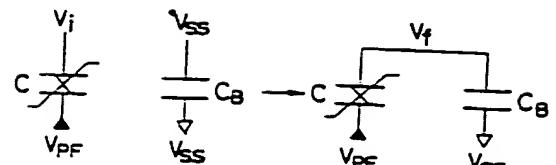
第6図



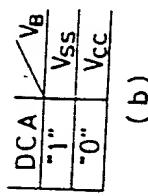
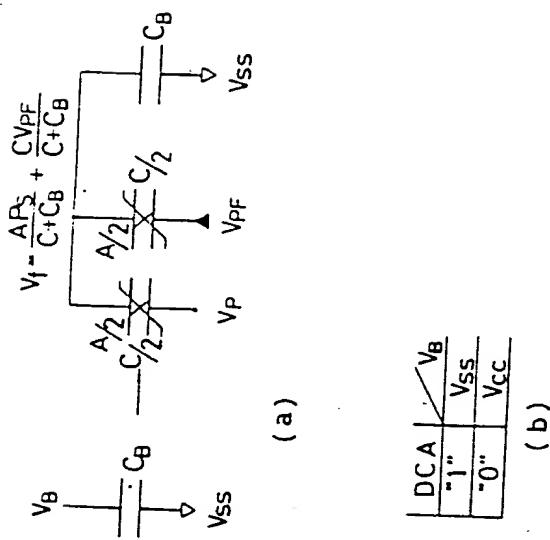
第8図



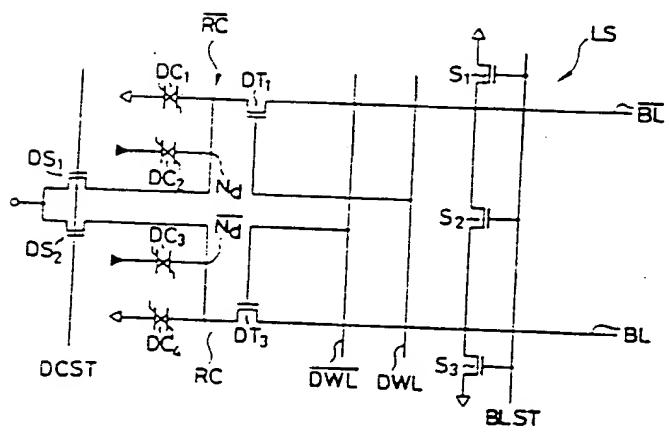
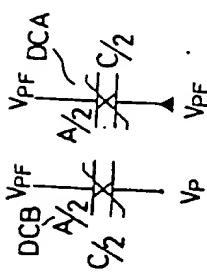
第9図



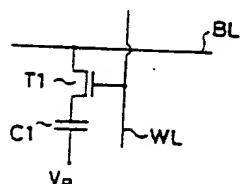
第10図



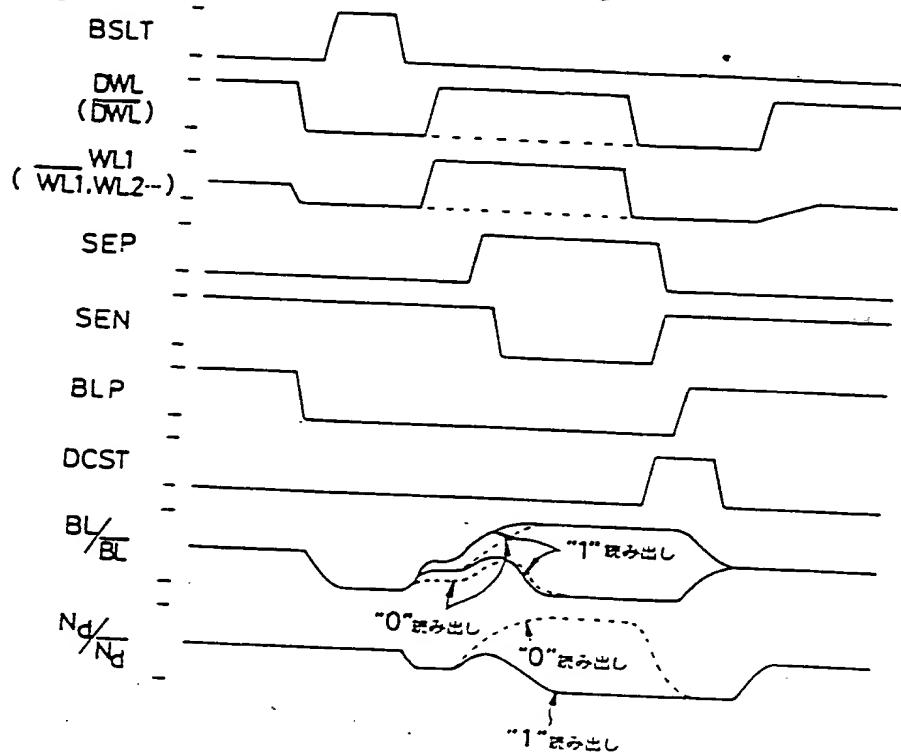
第11図



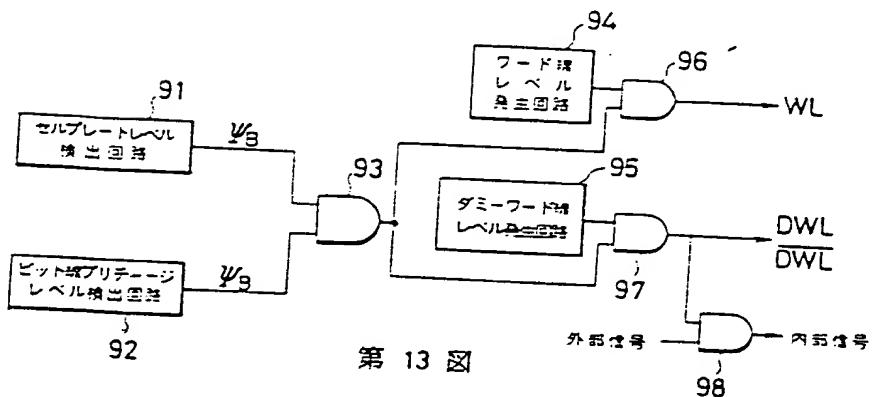
第15図



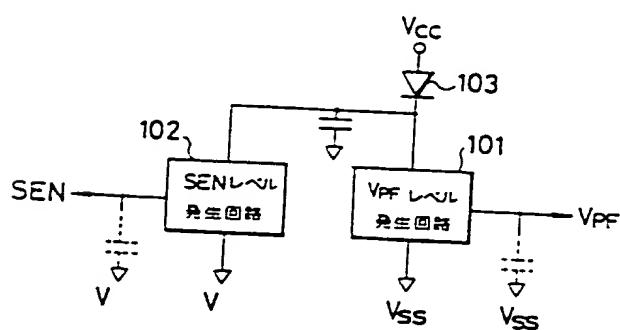
第16図



第 12 図



第 13 図



第 14 図